

# ACTIVE MATRIX DISPLAY DEVICE

Publication number: JP9026602

Publication date: 1997-01-28

Inventor: SUZUKI NOBUAKI; FUJINO MASAHIRO; KUKI MIDORI

Applicant: SONY CORP

Classification:

- international: **G02F1/136; G02F1/1368; H01L21/336; H01L29/786;**  
**G02F1/13; H01L21/02; H01L29/66; (IPC1-7):**  
**G02F1/136; H01L21/336; H01L29/786**

- european:

Application number: JP19950199015 19950712

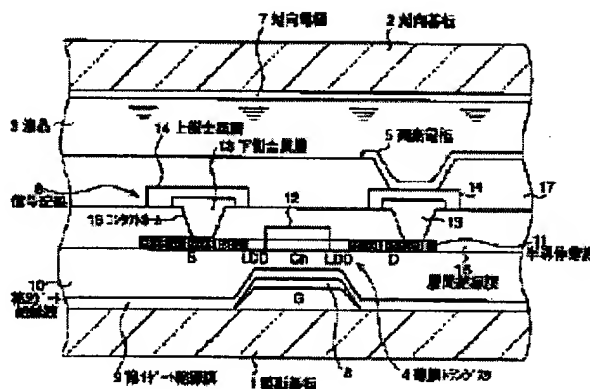
Priority number(s): JP19950199015 19950712

[Report a data error here](#)

## Abstract of JP9026602

**PROBLEM TO BE SOLVED:** To improve the electric resistance and reliability of signal wirings disposed in an active matrix display device integrated and formed with thin-film transistors(TFTs) of a bottom gate type.

**SOLUTION:** The active matrix display device has a driving substrate 1 and a counter substrate 2 joined via a prescribed spacing. Liquid crystals 3 are held in the spacing between both. The TFTs 4, pixel electrodes 5 and signal wirings 6 are integrated and formed on the driving substrate 1. Counter electrodes 7 are formed on the counter substrate 2. The TFTs 4 have a bottom gate structure and has gate electrodes G patterned and formed on the driving substrate 1, gate insulating films 9, 10 coating the gate electrodes G and semiconductor films 11 patterned and formed on the gate insulating films 9, 10. The signal wirings 6 have a laminated structure superposed with a lower metallic layer 13 and an upper metallic layer 14. The lower metallic layer 13 consists of aluminum and has the relatively low electric resistance and relatively small physical strength. The upper metallic layer 14 consists of molybdenum and coats the lower metallic layer 13.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

特開平9-26602

(43) 公開日 平成9年(1997) 1月28日

(51) Int. Cl. <sup>6</sup>

G02F 1/136

H01L 29/786

21/336

識別記号

500

F I

G02F 1/136

H01L 29/78

500

616

A

617

W

審査請求 未請求 請求項の数 5 F D (全7頁)

(21) 出願番号

特願平7-199015

(22) 出願日

平成7年(1995) 7月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 鈴木 信明

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72) 発明者 藤野 昌宏

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72) 発明者 九鬼 みどり

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

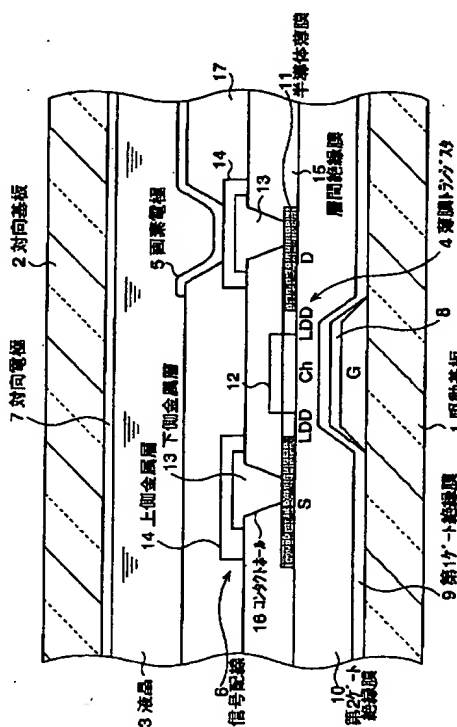
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【課題】 ボトムゲート型の薄膜トランジスタを集積形成したアクティブマトリクス表示装置に設けられる信号配線の電気抵抗及び信頼性を改善する。

【解決手段】 アクティブマトリクス表示装置は所定の間隙を介して接合した駆動基板1及び対向基板2を備えており、両者の間隙には液晶3が保持されている。駆動基板1には薄膜トランジスタ4、画素電極5及び信号配線6が集積形成されている。対向基板2には対向電極7が形成されている。薄膜トランジスタ4はボトムゲート構造を有しており、駆動基板1にパタニング形成されたゲート電極Gと、ゲート電極Gを被覆するゲート絶縁膜9、10とゲート絶縁膜9、10の上にパタニング形成された半導体薄膜11とを備えている。信号配線6は下側金属層13と上側金属層14を重ねた積層構造を有している。下側金属層13はアルミニウムからなり、電気抵抗が比較的低く且つ物理的強度が比較的小さい。上側金属層14はモリブデンからなり下側金属層13を被覆するとともに電気抵抗が比較的高く且つ物理的強度が比較的大きい。



## 【特許請求の範囲】

【請求項1】 薄膜トランジスタ、画素電極及び信号配線が集積形成された駆動基板と、対向電極を有し所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えたアクティブマトリクス表示装置であって、

前記薄膜トランジスタは、該駆動基板にパタニング形成されたゲート電極と、該ゲート電極を被覆するゲート絶縁膜と、該ゲート絶縁膜の上にパタニング形成された半導体薄膜とを備えたボトムゲート構造を有し、

前記信号配線は、該半導体薄膜に接続するとともに電気抵抗が比較的低く且つ物理的強度が比較的小さい下側金属層と、該下側金属層を被覆するとともに電気抵抗が比較的高く且つ物理的強度が比較的大きい上側金属層を重ねた積層構造を有することを特徴とするアクティブマトリクス表示装置。

【請求項2】 前記下側金属層はアルミニウム、銅、銀及び金から選択された低融点金属材料を主成分とし、前記上側金属層はモリブデン、タンタル、クロム、ニッケル及びチタンから選択された高融点金属材料を主成分とする

ことを特徴とする請求項1記載のアクティブマトリクス表示装置。

【請求項3】 前記信号配線は、比較的反射率の高い下側金属層を比較的反射率の低い上側金属層で被覆することを特徴とする請求項1記載のアクティブマトリクス表示装置。

【請求項4】 前記信号配線は、比較的線幅の狭い下側金属層を比較的線幅の広い上側金属層で完全に被覆することを特徴とする請求項1記載のアクティブマトリクス表示装置。

【請求項5】 前記薄膜トランジスタは層間絶縁膜により被覆されており、前記信号配線は該層間絶縁膜に開口したコンタクトホールを介して該薄膜トランジスタに電気接続することを特徴とする請求項1記載のアクティブマトリクス表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アクティブマトリクス表示装置に関する。より詳しくは、ボトムゲート型の薄膜トランジスタと画素電極を集積形成した駆動基板の信号配線構造に関する。

【0002】

【従来の技術】 アクティブマトリクス表示装置は間隙を介して互いに接合した駆動基板及び対向基板と、この間隙に保持された液晶などの電気光学物質とからなるフラットパネル構造を有している。駆動基板には画素電極、これをスイッチング駆動する薄膜トランジスタ、信号配線、ゲート配線などが集積形成されている。画素電極は行状のゲート配線と列状の信号配線との交差部に形成されている。スイッチング駆動用の薄膜トランジスタも両

配線の交差部に形成されている。従来から薄膜トランジスタの活性層として、非晶質シリコンや多結晶シリコンが用いられている。スイッチング駆動用の薄膜トランジスタに加え周辺回路部を構成する薄膜トランジスタを同一基板上に形成する場合、キャリア移動度などの観点から特性的に優れている多結晶シリコンが採用される。

又、薄膜トランジスタにはトップゲート型とボトムゲート型がある。前者は絶縁基板上に半導体薄膜を形成し、その上にゲート絶縁膜を介してゲート電極をパタニング形成する。逆に、ボトムゲート型は絶縁基板の上にゲート電極をパタニングし、その上にゲート絶縁膜を介して半導体薄膜を形成する。ボトムゲート型は薄膜トランジスタの活性層となる半導体薄膜がゲート絶縁膜を介して絶縁基板から離間しているため基板に含まれる不純物などの悪影響を受けにくく、現在盛んに開発されている。更に、薄膜トランジスタは高温プロセス又は低温プロセスで製造される。高温プロセスでは処理温度が600℃以上に昇るため、基板材料として耐熱性に優れた石英などが用いられる。低温プロセスでは処理温度が600℃以下に押さえられるので、比較的安価なガラス材料などを基板に用いることができる。以上の観点から、現在多結晶シリコンを用いたボトムゲート型の薄膜トランジスタを低温プロセスで形成する技術が注目を集めている。この場合、ゲート電極を含むゲート配線やこれと交差する信号配線は主として金属材料が用いられている。

【0003】

【発明が解決しようとする課題】 信号配線を構成する金属材料としては、比較的高融点のモリブデン(Mo)や比較的低融点のアルミニウム(Al)が代表的に用いられている。従来、これらの金属材料は単層膜として信号配線に加工されていた。この為、アクティブマトリクス表示装置の大画面化もしくは高密度化を進めた場合、以下に述べる解決すべき課題が生じていた。モリブデンの単層膜の場合、電気抵抗が比較的高いため、アクティブマトリクス表示装置が大型化した場合、配線長が長くなるため信号伝達特性の悪化を招いていた。同様に、アクティブマトリクス表示装置を高密度化した場合でも信号配線の幅が狭くなるため信号伝達特性の悪化が生じる。一方、アルミニウムの単層膜の場合、膜応力に起因してマイグレーションが生じ、所謂ヒロックと呼ばれる欠陥が多発していた。このヒロックは信号配線の断線故障の原因となる。又、アルミニウムは比較的剛性が低く物理的強度が弱い。従って、ゲート配線と信号配線との交差部に生じる段差などでアルミニウムが容易に断線故障を起こしていた。更に、アルミニウムは化学的に活性であるため後工程で用いるエッチング液などにより容易に腐食を起こしていた。これも断線故障の原因となる。加えて、アルミニウムは反射率が高いため、表示装置に入射する外光を大量に反射してしまう。このため、アクティブマトリクス表示装置を直視型のディスプレイとして用

いた場合、外光反射により表示コントラストが悪化するという課題がある。

【 0 0 0 4 】

【課題を解決するための手段】上述した従来の技術の課題を解決するため以下の手段を講じた。即ち、本発明に係るアクティブマトリクス表示装置は、基本的な構成として、所定の間隙を介して互いに接合した駆動基板及び対向基板と、この間隙に保持された電気光学物質とを備えている。駆動基板には薄膜トランジスタ、画素電極及び信号配線が集積形成されている。対向基板には対向電極が全面的に形成されている。薄膜トランジスタはボトムゲート構造を有しており、駆動基板にパタニング形成されたゲート電極と、該ゲート電極を被覆するゲート絶縁膜と、該ゲート絶縁膜の上にパタニング形成された半導体薄膜とからなる。前記信号配線は下側金属層と上側金属層とを重ねた積層構造を有している。下側金属層は半導体薄膜に接続するとともに電気抵抗が比較的低く且つ物理的強度が比較的小さい。上側金属層は下側金属層を被覆するとともに電気抵抗が比較的高く且つ物理的強度が比較的大きい。

【 0 0 0 5 】下側金属層は、例えばアルミニウム、銅、銀及び金から選択された低融点金属材料を主成分とする。上側金属層は例えば、モリブデン、タンタル、クロム、ニッケル及びチタンから選択された高融点金属材料を主成分とする。好ましくは、前記信号配線は比較的反射率の高い下側金属層を比較的反射率の低い上側金属層で被覆している。又好ましくは、前記信号配線は比較的線幅の狭い下側金属層を比較的線幅の広い上側金属層で完全に被覆している。更に好ましくは、前記薄膜トランジスタは層間絶縁膜により被覆されており、前記信号配線は該層間絶縁膜に開口したコンタクトホールを介して該薄膜トランジスタに電気接続する。

【 0 0 0 6 】本発明によれば、信号配線は下側金属層と上側金属層を重ねた積層構造（複合構造）を採用している。下側金属層として比較的電気抵抗の低いアルミニウムを用いることで、複合構造全体としての電気抵抗が下がり、アクティブマトリクス表示装置の大画面化及び高密度化に対応できる。上側金属層として物理的強度が比較的大きいモリブデンなどを用いることで、複合構造全体の剛性を高めており断線故障などを効果的に抑制できる。又、比較的線幅の狭い下側金属層を比較的線幅の広い上側金属層で完全に被覆することで、複合構造全体の耐圧性を改善できる。即ち、化学的に活性なアルミニウムを下側金属層に用いた場合でも、その表面のみならず端面も化学的に不活性な上側金属層で被覆されているため、後工程でエッチング液などにさらされた場合でも腐食が進行しない。更に、アルミニウムなどからなる反射率の高い下側金属層をモリブデンなどの比較的反射率の低い上側金属層で被覆することで、複合構造全体の反射率が低くなり、外光反射を抑制してアクティブマトリク

ス表示装置のコントラスト改善につながる。

【 0 0 0 7 】

【発明の実施の形態】以下、図面を参照して本発明の好適な実施形態を詳細に説明する。図 1 は本発明に係るアクティブマトリクス表示装置の具体的な構成を示す部分断面図である。図示するように、本表示装置は所定の間隙を介して互いに接合した駆動基板 1 及び対向基板 2 を備えている。両者の間隙には液晶 3 などの電気光学物質が保持されている。駆動基板 1 には薄膜トランジスタ 4、画素電極 5 及び信号配線 6 などが集積形成されている。対向基板 2 には対向電極 7 が全面的に形成されている。

【 0 0 0 8 】薄膜トランジスタ 4 はボトムゲート構造となっており、ガラスなどからなる駆動基板 1 の表面にパタニング形成されたゲート電極 G を備えている。ゲート電極 G はタンタル、アルミニウム、モリブデン／タンタルの合金などからなり、ゲート配線（図示せず）の一部としてパタニング形成される。ゲート電極 G の表面は陽極酸化膜 8 で被覆されている。更にその上には、第 1 ゲート絶縁膜 9 及び第 2 ゲート絶縁膜 1 0 が順に成膜されている。第 1 ゲート絶縁膜 9 は例えば  $\text{Si}_3\text{N}_4$  からなり、第 2 ゲート絶縁膜 1 0 は  $\text{SiO}_2$  からなる。このように、積層構造のゲート絶縁膜を採用することで、ボトムゲート型薄膜トランジスタ 4 の耐圧性を確保している。第 2 ゲート絶縁膜 1 0 の上には多結晶シリコンなどからなる半導体薄膜 1 1 がパタニング形成されており、薄膜トランジスタ 4 の活性層となる。即ち、ゲート電極 G の直上にはチャネル領域 C h が設けられ、その両側には不純物が高濃度で注入されたソース領域 S 及びドレイン領域 D が設けられている。なお、本例では薄膜トランジスタ 4 は所謂 LDD 構造を有しており、ソース領域 S とチャネル領域 C h の間及びドレイン領域 D とチャネル領域 C h の間に、それぞれ低濃度不純物領域（LDD）が介在している。この LDD 構造を採用することで、薄膜トランジスタ 4 の電流リークを抑制している。なお、チャネル領域 C h の直上には保護膜 1 2 がパタニング形成されている。

【 0 0 0 9 】本発明の特徴要素である信号配線 6 は下側金属層 1 3 と上側金属層 1 4 を重ねた積層構造となっている。この信号配線 6 は層間絶縁膜 1 5 の上にパタニング形成されている。即ち、薄膜トランジスタ 4 は層間絶縁膜 1 5 により被覆されており、信号配線 6 はこの層間絶縁膜 1 5 に開口したコンタクトホール 1 6 を介して薄膜トランジスタ 4 のソース領域 S に電気接続している。なお、ドレイン領域 D 側にもコンタクトホールを介して下側金属層 1 3 及び上側金属層 1 4 が接続している。図示のように薄膜トランジスタ 4 をスイッチング素子として用いる場合には、これらの下側金属層 1 3 及び上側金属層 1 4 を介してドレイン領域 D が画素電極 5 と電気接続するようになっている。なお、本例では信号配線 6 と

画素電極5はアクリル樹脂などからなる平坦化膜17により互いに絶縁されている。ところで、薄膜トランジスタを周辺駆動回路の回路素子として用いる場合には、ドレイン領域Dにもソース領域Sと同様に信号配線が接続されることになる。

【0010】上述したように、信号配線6は下側金属層13と上側金属層14を重ねた複合構造を有している。下側金属層13は半導体薄膜11に直接接続するとともに、電気抵抗が比較的低く且つ物理的強度が比較的小さい。これに対し、上側金属層14は下側金属層13を被覆するとともに電気抵抗が比較的高く且つ物理的強度が比較的大きい。下側金属層13は、例えばアルミニウム、銅、銀、金などから選択された低融点金属材料を主成分とする。上側金属層14は例えば、モリブデン、タンタル、クロム、ニッケル、チタンなどから選択された高融点金属材料を主成分とする。下側金属層13の電気抵抗を小さくして、信号配線6の導電性を確保している。又、上側金属層14の物理的強度を大きくして剛性を高め、信号配線6全体の信頼性を確保している。即ち、信号配線6を複合構造とすることにより断線故障などを効果的に防止している。加えて、本例では比較的線幅の狭い下側金属層13を比較的線幅の広い上側金属層14で完全に被覆している。下側金属層13は表面ばかりでなく側面(端面)も上側金属層14で覆われており、エッチング液などから保護されている。加えて、比較的反射率の高い下側金属層13を比較的反射率の低い上側金属層14で被覆している。例えば、下側金属層13としてアルミニウムを用いた場合、その反射率は90%程度である。上側金属層14としてモリブデンを用いた場合、その反射率は45%程度である。この構造では、アクティブマトリクス表示装置を直視型のディスプレイとして用いた場合、信号配線6は外光反射を抑制できるため、表示コントラストが高くなる。

【0011】次に、図2及び図3を参照して、図1に示した表示装置の製造方法を詳細に説明する。まず、図2の工程Aで、ガラスなどからなる絶縁基板1の上にゲート電極G及びゲート配線(図示せず)をパタニング形成する。前述したように、ゲート電極Gとしては通常タンタル、アルミニウム、モリブデン/タンタルなどを用いることができる。次に工程(B)で、金属ゲート電極Gの表面を陽極酸化処理する。これにより、ゲート電極Gは陽極酸化膜8により被覆される。工程Cに進み、この絶縁基板1の上にプラズマCVD法などを用いて第1ゲート絶縁膜9、第2ゲート絶縁膜10及び半導体薄膜11を連続成膜する。第1ゲート絶縁膜9は例えばSiN<sub>3</sub>からなる。第2層間絶縁膜10はSiO<sub>2</sub>からなる。半導体薄膜11は非晶質シリコンからなる。工程Dに進み、300℃乃至350℃程度で加熱処理(アニール)を行い、プラズマCVDにより成膜された非晶質シリコンからなる半導体薄膜11に含まれた過剰の水素を脱脱

させる(脱水素)。更に、エキシマレーザパルスなどのレーザ光を照射して半導体薄膜11のみを部分的に加熱溶融し、冷却過程を経て非晶質シリコンを多結晶シリコンに転換する。工程Eに進み、ゲート電極Gと整合するように半導体薄膜11の上に保護膜(チャネルストップ)12をパタニング形成する。保護膜12のパタニングには例えば裏面露光を用い、ガラスなどからなる透明な絶縁基板1の裏側からゲート電極Gをマスクとしてセルフアライメントで露光処理を行い、保護膜12のパターンを規定する。予め成膜されたSiO<sub>2</sub>などの絶縁膜をこの裏面露光により規定されたパターンで選択的にエッチングすることにより、ゲート電極Gに整合した保護膜(チャネルストップ)12が得られる。工程Fに進み、保護膜12をマスクとしてセルフアライメントで不純物イオンを比較的低濃度で半導体薄膜11にドーピングする。このイオンドーピングは不純物元素を含む原料気体をプラズマ化し、不純物イオンを生成した後質量分離を行うことなく電界加速して半導体薄膜11に打ち込むものである。これにより、半導体薄膜11に低濃度不純物領域(LDD領域)が形成される。なお、保護膜12の直下には不純物イオンが実質的にドーピングされていないチャネル領域Chが残される。更に、保護膜12のパターンより一回り大きなフォトレジストを形成し、これをマスクとして同じくイオンドーピングにより半導体薄膜11に不純物を高濃度で注入する。これにより、ボトムゲート型薄膜トランジスタ4のソース領域S及びドレイン領域Dが形成される。このフォトレジストのパタニングは、例えばゲート電極Gをマスクとする裏面露光により行うことができる。更に半導体薄膜11にレーザ光を照射し、注入された不純物を活性化しておく。

【0012】図3の工程Gに進み、半導体薄膜11をアイランド状にエッチングして、個々の薄膜トランジスタ4を互いに分離する。更に、絶縁基板1を水素プラズマ雰囲気中もしくは水素ガス雰囲気中に投入し、半導体薄膜11に水素を拡散させる。工程Hに進み、薄膜トランジスタ4をSiN<sub>3</sub>などからなる層間絶縁膜15で被覆する。この状態で例えば300℃にて熱アニールを行い、半導体薄膜11に導入された水素を固定する。所謂半導体薄膜11の水素化処理を行い、薄膜トランジスタ4の動作特性を改善する。工程Iに進み、層間絶縁膜15を選択的にエッチングして、薄膜トランジスタ4のソース領域S及びドレイン領域Dに連通するコンタクトホール16を開口する。更に、層間絶縁膜15の上に例えばアルミニウムからなる下側金属層13を蒸着する。工程Jに進み、下側金属層13を所定の形状にパタニングする。例えば、ソース領域S側に接続した下側金属層13は信号配線のパターンに合わせてエッチングされる。ドレイン領域D側に接続した下側金属層13はパッド電極のパターンに合わせてエッチングされる。この下側金属層13を重ねて例えばモリブデンからなる上側金属層

14を蒸着する。最後に工程Kに進み、上側金属層14を所定の形状にパタニングする。これにより、薄膜トランジスタ4のソース領域S側に電極接続した積層構造(複合構造)の信号配線6が得られる。この後、信号配線6を被覆するようにアクリル樹脂などからなる平坦化膜を成膜する。この平坦化膜にコンタクトホールを開口した後ITOなどの透明導電膜を成膜し、所定の形状にパタニングして画素電極に加工する。以上の工程により、図1に示してある駆動基板の構造が得られる。この後、予め対向電極が形成された対向基板を所定の間隔を介して駆動基板に接合し、この間隔に液晶を封入すると、アクティブマトリクス型の表示装置が完成する。

【0013】最後に、図4は図1に示したアクティブマトリクス型表示装置の平面形状を表わしている。図示するように、信号配線6は列状にパタニングされ、ゲート配線20は行状にパタニングされている。両者はともに金属材料からなり優れた遮光性を有する。信号配線6とゲート配線20は行列状に交差してブラックマトリクスを形成する。このブラックマトリクスで囲まれた領域に画素電極5がパタニング形成される。ブラックマトリクスを構成する信号配線6及びゲート配線20はともに比較的反射率の低い金属材料からなり、外光反射を抑制して表示コントラストを高めることができる。信号配線6とゲート配線20の交差部にはボトムゲート型の薄膜トランジスタ4が形成されており、対応する画素電極5をスイッチング駆動する。薄膜トランジスタ4はアイランド状にパタニングされた半導体薄膜11を活性層としており、その下側にはゲート配線20から延設されたゲート電極Gが形成されている。半導体薄膜11に形成されたソース領域Sは複合構造の信号配線6に電気接続している。一方ドレイン領域Dは画素電極5に電気接続している。

【0014】

【発明の効果】以上説明したように、本発明によれば、信号配線が下側金属層と上側金属層を重ねた複合構造を有している。下側金属層は物理的強度が比較的小さい代わりに電気抵抗が比較的低い。上側金属層は電気抵抗が

比較的高い代わりに物理的強度が比較的大きい。このような複合構造を採用することで、信号配線の電気抵抗を実効的に低く押さえることが可能になり、表示装置の大画面化及び高精細化に対応できる。又、係る複合構造を採用することで信号配線の断線故障が起こりにくくなり、信頼性向上が望める。特に上側金属層として物理的強度が高く剛性に優れた金属材料を用いることで信頼性が増す。又、下側金属層よりも反射率の低い上側金属層を設けることで、信号配線自体をブラックマトリクスに利用でき、アクティブマトリクス型表示装置を直視型ディスプレイに応用した場合などコントラストが向上する。

【図面の簡単な説明】

【図1】本発明に係るアクティブマトリクス表示装置の構造を示す部分断面図である。

【図2】本発明に係るアクティブマトリクス表示装置の製造方法を示す工程図である。

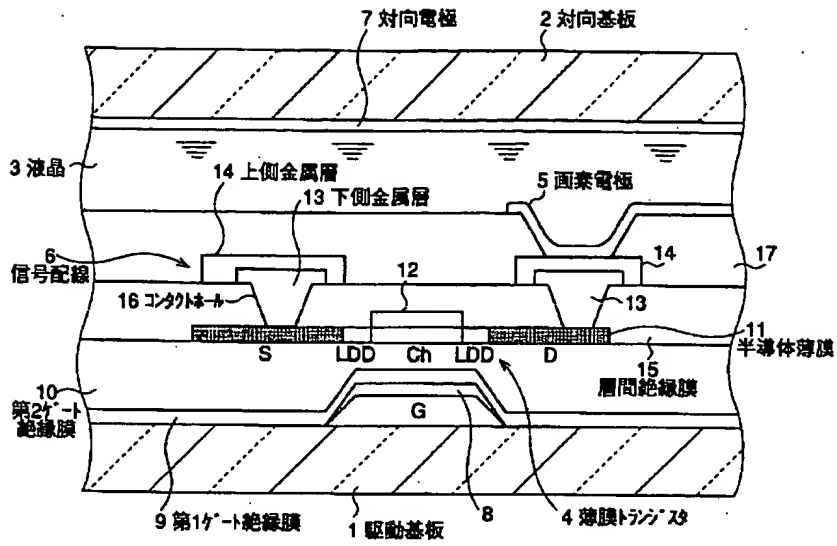
【図3】同じくアクティブマトリクス表示装置の製造方法を示す工程図である。

【図4】アクティブマトリクス表示装置のパターン形状を示す平面図である。

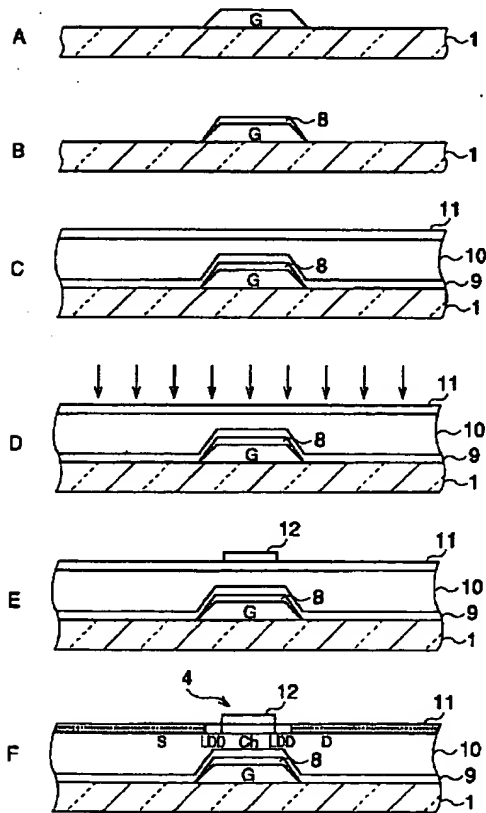
【符号の説明】

- 1 駆動基板
- 2 対向基板
- 3 液晶
- 4 薄膜トランジスタ
- 5 画素電極
- 6 信号配線
- 7 対向電極
- 9 第1ゲート絶縁膜
- 10 第2ゲート絶縁膜
- 11 半導体薄膜
- 13 下側金属層
- 14 上側金属層
- 15 層間絶縁膜
- 16 コンタクトホール

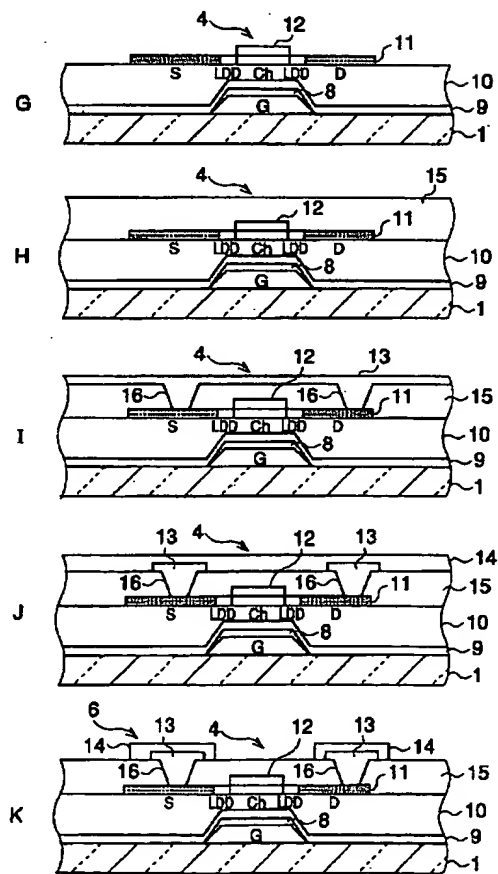
【図 1】



【図 2】



【図 3】



【図4】

